

SpinalStim FPGA 详细设计文档

文档编号：spinal_stim_FPGA 详细设计文档 2

项目	内容
硬件平台	Xilinx Zynq-7000 / XC7Z020CLG400-2
FPGA 顶层	c64pro_top
逻辑版本	32'h20000005
系统时钟	100 MHz (PS FCLK_CLK0)
工程工具	Vivado 2023.1
编制日期	2026 年 8 月

1 目录

- 1 术语、定义与缩略语
- 2 模块功能
 - 2.1 技术要求
 - 2.2 输入/输出接口要求
 - 2.3 技术条件
- 3 模块设计思想和设计准则
- 4 模块设计
 - 4.1 逻辑层次结构
 - 4.2 数据流、时钟与复位
 - 4.3 子模块详细设计
 - 4.4 FPGA 外设接口设计
 - 4.5 模块寄存器说明
- 5 模块测试
- 6 其他主要设计问题
- 附录 A 代码文件与模块映射

2 术语、定义与缩略语

2.1 术语、定义

PS 指 Zynq Processing System；PL 指 Programmable Logic。本文档中的“采集包”指一次采样形成的通道数据单元，“帧”指由配置数量的小包、帧头、CRC 和尾部信息组成的 DMA 传输单元。

2.2 缩略语

缩略语	含义
AXI4-Stream	片上流式数据接口，使用 TDATA/TVALID/TREADY/TLAST 握手
BRAM	Block RAM，本文用于 PS-PL 配置与状态映射
EEG/EMG	脑电/肌电采集数据
SPI	串行外设接口
DMA	直接存储器访问
CRC16	数据帧循环冗余校验
DRDY	ADC 数据就绪信号
ZCHECK	电极阻抗测量链路

3 模块功能

3.1 技术要求

SpinalStim 采用 Zynq PS+PL 架构。PL 在统一 100 MHz 时钟域内完成 EEG/EMG 采集、刺激相关控制、实时电流监测、通道选择、数据封包与 AXI DMA 上传；PS 通过 BRAM、AXI GPIO、AXI SPI 和 DMA 完成配置、状态读取和数据搬运。

- 支持 4 片 EEG 前端和 1 片差分/EMG 前端的配置、采样与数据整理。
- 支持 AD7689 电流采样、通道映射、正/负/总电流阈值判断和故障锁存。
- 支持 EEG、EMG 单独上传或合帧上传，并根据通道选择形成可变长度数据帧。
- 支持 AD5941 阻抗测量链路、CSI040 刺激 SPI、模拟开关和电源/指示灯控制。
- 提供中断、BRAM 寄存器和 AXI4-Stream 数据通路供 PS 软件使用。

3.2 系统框图与总体原理

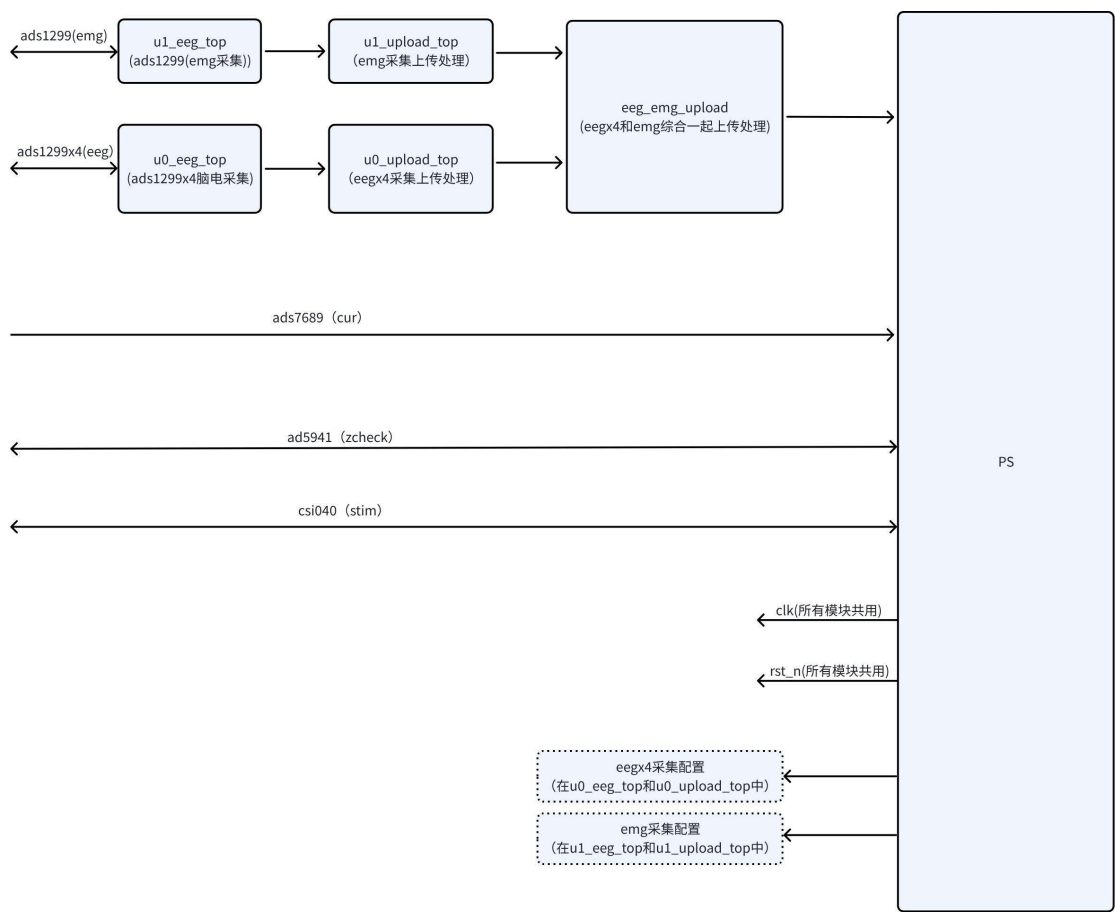


图 2-1 系统硬件/控制框图（复制自《【SpinalStim】系统软件设计与调试》）

整体系统都工作在统一时钟 `clk`（100MHz）和统一复位 `rst_n` 中，`clk`（100MHz）通过外部晶振给 PS 端，PS 端 将其倍频到 100MHz 输入到 PL，`rst_n` 也从 PS 端过来。

PS 端配置 4 个脑电 `ads1299` 和 1 个肌电 `ads1299` 采集和上传，主要配置 `ads1299` 初始化、采样率、通道映射、上传通道选择、帧头数据包、一帧上传数据包数等，PL 中 `eeg_top` 模块根据配置指令将 `ads1299` 初始化，并从 `ads1299` 中采集数据，采集数据封包后将其传给 `upload_top` 模块。`upload_top` 模块根据 PS 端配置的通道映射、上传通道选择、帧头数据包、一帧上传数据包数等将 `eeg_top` 过来的数据包加上包头、包尾、以包数为单位封帧（如一帧由 20 个小包组成），另外将需要上传的通道捡出来，把不需要上传的通道舍弃。4 个脑电 `ads1299`、和 1 个肌电 `ads1299` 数据（肌电为 1 组）最后在 `eeg_emg_upload` 模块整体处理，根据 PS 端配置，如果是第一组和第二组都有的话，则将第一组的尾和第二组的头去掉，重新计算 `crc`，如果单独是第一组或者第二组，则将原始数据上传。

PS 端通过 PL 端的 SPI 接口（IP 核）控制 `CSIO40` 的写入和读取，进而控制刺激输出。

代码实现以 `c64pro_top` 为集成顶层：`design_a9_1_wrapper` 提供时钟、复位、BRAM、GPIO、SPI、DMA 和中断连接；采集链路输出先进入 `upload_top` 封包，再由 `eeg_emg_upload` 按选择配置合并，最终以 8 bit AXI4-Stream 写入 PS 侧 DMA。

3.3 输入/输出接口要求

接口组	方向	主要信号	电路/器件	功能
-----	----	------	-------	----

接口组	方向	主要信号	电路/器件	功能
EEG	PL↔AFE	CS[3:0], SCLK[1:0], MOSI[1:0], MISO[1:0], DRDY#[1:0], START[1:0]	ADS1299/AFE968	4 片、32 通道单端采集， 两组共享 SPI 时钟/数据
EMG/差分	PL↔AFE	CS, SCLK, MOSI, MISO, DRDY#, START, RESET#	ADS1299	8 通道差分采集与原始数 据上传
电流监测	PL↔ADC	CNV, SCLK, MOSI, MISO	AD7689	刺激回路电流采样与阈值 保护
阻抗测量	PS/PL↔AFE	SPI2, RST_AD5941#, ZIO_R0, CHANN_SEL/EN, ELEC_MUX_IN	AD5941+MUX36S16+AD G1212	电极选择和阻抗测量
刺激控制	PS/PL↔刺激芯片	STIM_SPI, GPIO[2:0], 400 kHz CLK	CSI040/隔离器	寄存器访问、触发/中断、 刺激时钟
上传	PL→PS	AXIS TDATA[7:0], TVALID, TREADY, TLAST	AXI DMA	EEG/EMG 帧和透明数据 搬运
电源/灯	PL→板级	REC_PWR_EN, STIM_PWR_EN, MUX_PWR_EN, PUDC, LED_*	电源芯片/LED	上电域控制与状态指示

3.4 技术条件

PL 主时钟为 100 MHz，周期 10 ns，由 PS FCLK_CLK0 输出。顶层参数 CLK_FREQ=100、CLK_PERIOD=10；全局低有效复位 rst_n 由 PS 侧输出。外设串行时钟由主时钟计数分频产生，接口工作频率必须同时满足 RTL 分频参数、隔离器传播延迟与器件数据手册时序。

工程器件为 XC7Z020CLG400-2，逻辑版本参数 VERSION=32'h20000005。原理图版本为 SPINAL_STIM_REC_V001A8。

4 模块设计思想和设计准则

4.1 设计思想

设计按“配置面”和“数据面”分离：PS 通过 BRAM/AXI 外设写入低速配置，PL 以状态机和流接口执行确定性采集、封包及保护；高速数据只通过 AXI4-Stream/DMA 传输。各采集前端先输出统一流格式，再在上传层完成通道筛选和帧组合，从而降低 PS 实时负担。

4.2 设计准则

- 所有配置写入以 bram_en 且 bram_we=4'hF 为有效写，以 bram_we=0 为有效读。
- 外部异步 DRDY/MISO/中断信号在接口状态机边界采样；跨域 FIFO/AXI IP 负责 PS/PL 数据域隔离。
- 停止采样或复位必须清除包计数、FIFO 读使能、TLAST 和 CRC 中间状态，防止跨帧污染。
- 电流故障状态与实时值分离，软件通过 clear_int 明确清除锁存状态。
- 板级电源和模拟开关电源按软件顺序启用；采集/刺激功能未准备前保持关闭。

5 模块设计

5.1 模块的逻辑设计

5.1.1 逻辑层次结构划分

模块	职责
c64pro_top	系统集成顶层；连接 Zynq PS、采集、上传、电源、LED、阻抗与刺激接口
design_a9_1_wrapper	Vivado Block Design 封装；提供 FCLK/复位、BRAM 控制器、AXI GPIO/SPI、DMA 与中断
eeg_top / emg_top	ADS1299 配置、SPI 接口、采样结果汇聚与采集流输出
upload_top	帧头、通道映射/选择、包计数、CRC 和 TLAST 生成
eeg_emg_upload	EEG/EMG 选择、FIFO 缓冲、去头/去尾、CRC 重算与合帧
cur_mon_top	AD7689 采样、通道映射、滤波/统计、阈值比较、故障状态和透明上传
stim_config	EEG/EMG 合并上传控制寄存器
rhs2116_top（工程保留）	RHS2116 刺激波形、SPI 分发、监控与事件采集；当前 c64pro_top 的对应板级端口被注释
switch / trigger / accel	通道开关、触发检测、LIS2DW12 加速度；部分端口在当前顶层配置中关闭
led_ctrl / utils	LED 状态、PWM、呼吸灯、消抖和运行时间等通用逻辑

5.1.2 模块的数据流

EEG 路径：ADS1299 DRDY# → ads1299_spi/ads1299_if → ads1299_mod/arrange → eeg_top → upload_top → eeg_emg_upload → AXI DMA。EMG 路径与 EEG 类似，但使用单片差分前端；合帧模式下去除 EMG 帧头和 EEG 原尾部，在组合数据末尾重新生成 CRC/TLAST。

电流路径：AD7689 CNV/SPI → ad7689_dual_if → acq_collect → cur_monitor → 电流实时值/故障寄存器；同时 filter_i_fifoout 形成 32 bit 透明流，每 1000 个字产生 TLAST，经 axi_dma_2 上传用于阻抗/诊断处理。

5.1.3 模块的时钟说明

时钟/周期	来源	使用范围	说明
clk / 10 ns	PS FCLK_CLK0	全部自研 RTL	100 MHz 主同步时钟
bram_*_clk	PS/AXI BRAM Controller	各 config 模块	BRAM 信号进入模块后按 clk 条件判定读写；需保持控制器配置一致
ADS1299 SCLK	ads1299_spi 分频	EEG/EMG 前端	SPI_CLK_DIV=3；实际边沿关系以模块状态机和器件模式为准
AD7689 SCK/CNV	ad7689_dual_ctrl/if	电流采样	由 100 MHz 计数控制转换与串行读取

时钟/周期	来源	使用范围	说明
stim_clk400k	顶层计数器	刺激芯片	100 MHz 分频得到约 400 kHz

5.1.4 模块的复位说明

rst_n 为系统低有效异步复位，来自 PS。各模块采用 always @(posedge clk or negedge rst_n) 模式：复位沿异步进入，释放后随 clk 工作。BRAM 控制器另有 bram_rst 信号，但多数自研配置寄存器的最终复位状态由 rst_n 决定。外设专用复位（emg_ads1299_reset_n、rst_ad5941、刺激 GPIO）由 PL 或 PS GPIO 单独控制，不应替代全局逻辑复位。

5.2 子模块详细设计

5.2.1 eeg_top / eeg_config

eeg_config 解析 13 bit BRAM 地址，输出 eeg_er/eeg_cr/eeg_tr_array，并回读 eeg_rr_array；eeg_top 以两组 SPI 总线管理四片采集前端。send_cs_n 和 send_length 从 eeg_cr 分组解析，配置事务和连续采样事务复用 SPI 接口。DRDY 到达后读取每片 8 通道、24 bit 数据，整理为统一 AXI 流。

5.2.2 emg_top / emg_config

EMG 逻辑复用 ADS1299 采集结构，面向单片 8 通道差分前端。配置表与 EEG 独立，BRAM 基地址为 0x4400_0000；当前 send_length 字段支持 4 字节配置格式。顶层同时输出 START 和 RESET#。

5.2.3 upload_top / upload_config

upload_config 保存 bram_addr_sel、upload_round_qty_set、pre_message_length、reset_package_id、package_overtime_ms、192 bit pre_message、512 bit ch_mapping2pc 和 64 bit upload_ch。upload_sort 按映射/选择保留通道，upload_protocol_* 生成帧头、包计数、CRC 和 TLAST。

5.2.4 eeg_emg_upload

模块接收两个 8 bit 流。eeg_emg_sel=01/10 时透传单路；=11 时先输出 EEG 去尾数据，再从 EMG FIFO 读取并跳过 85 字节帧头，使用配置的 emg_send_package_num 控制长度，在组合尾部插入重算 CRC。stop_sample 清零计数和读状态。

5.2.5 cur_mon_top / cur_monitor

cur_mon_config 提供采样使能、通道映射及阈值；ad7689_dual_ctrl 产生转换/采集节拍，ad7689_dual_if 完成串行读取，acq_collect 聚合数据，cur_monitor 计算通道、正向、负向和总电流状态。故障状态、实时值及各通道故障值可由 PS 回读。

5.2.6 stim_config

该模块不是刺激波形发生器，而是上传组合的全局控制寄存器：选择 EEG/EMG、设置两路帧字节数、选择差分打包或 8 通道原始数据。只读测试常数为 0x12345678。

5.2.7 RHS2116 刺激逻辑

rhs2116_top 在工程中保留完整实现：transmit_config 配置刺激、DDS、开关与 SPI；trans_timer 产生更新周期；sine_gen 生成 16 路波形；trans_distribute/transmit_if 向多片 RHS2116 分发 32 bit SPI 命令；stim_monitor 和 stim_event_collect 形成监控/事件数据。当前 c64pro_top 中 RHS2116 板级端口与实例路径需以实际综合配置为准。

5.2.8 LED、电源与辅助模块

led_ctrl 根据 PS 命令、刺激状态和系统状态产生 LED；顶层 GPIO 输出 REC_PWR_EN、STIM_PWR_EN、MUX_PWR_EN、PUDC。utils 目录提供 breath_gen、pwm_gen、debouncing 和 run_time 等复用模块。

5.3 FPGA 外设接口设计

5.3.1 ADS1299/AFE968 采集接口

原理图第 8~9 页显示 EEG 单端链路由 4 片 ADS1299/AFE968 构成，REC1/REC3 两组分别覆盖 ELEC1~16、ELEC17~32；差分链路使用独立 ADS1299，提供 INP/INN、START、DRDY#、CS#、SCLK、DIN/DOUT 与 RESET#。FPGA 在 DRDY# 有效后启动连续 24 bit 通道读取；CS# 为片选，SCLK/MOSI/MISO 为 SPI Mode 时序信号。START 用于同步转换，RESET# 在配置前保持有效并满足器件复位恢复时间。

5.3.2 AD7689 电流采样接口

AD7689 接口包含 CNV、SCK、SDI(MOSI) 和 SDO(MISO)。CNV 上升沿启动转换，接口状态机

等待转换窗口后串行读取结果。原理图将该接口同时接入 PS AXI SPI/PL 控制路径，顶层端口定义为 inout；系统集成时必须保证任一时刻只有一个主控驱动，避免总线冲突。

5.3.3 AD5941 阻抗接口与通道选择

阻抗链路由 AD5941、两片 MUX36S16 和 ADG1212 组成。CHANN_SEL[3:0]/CHANN_EN[1:0] 选择电极通道，ELEC_MUX_IN[3:0] 选择 ZCHECK、ELEC_REF、ELEC_BIAS 与 ZCHK_IN 的连接，SPI2 完成 AD5941 寄存器访问，RST_AD5941# 完成硬件复位，ZIO_R0 为辅助控制。启用测量前先打开 MUX_PWR_EN，再配置开关，最后释放 AD5941 复位。

5.3.4 CSI040 刺激与隔离 SPI

PS 通过 STIM_SPI 对 CSI040 读写，gpio[2:0] 分别承载 rstn_stim、stim_trig、stim_int（具体方向按 Block Design GPIO 配置）。顶层另输出约 400 kHz stim_clk400k。原理图中隔离器 NSI8241/NSI8240 位于控制器与刺激域之间，SPI 频率和采样边沿应预留隔离器传播延迟及通道偏差裕量。

5.3.5 USB 与板级控制

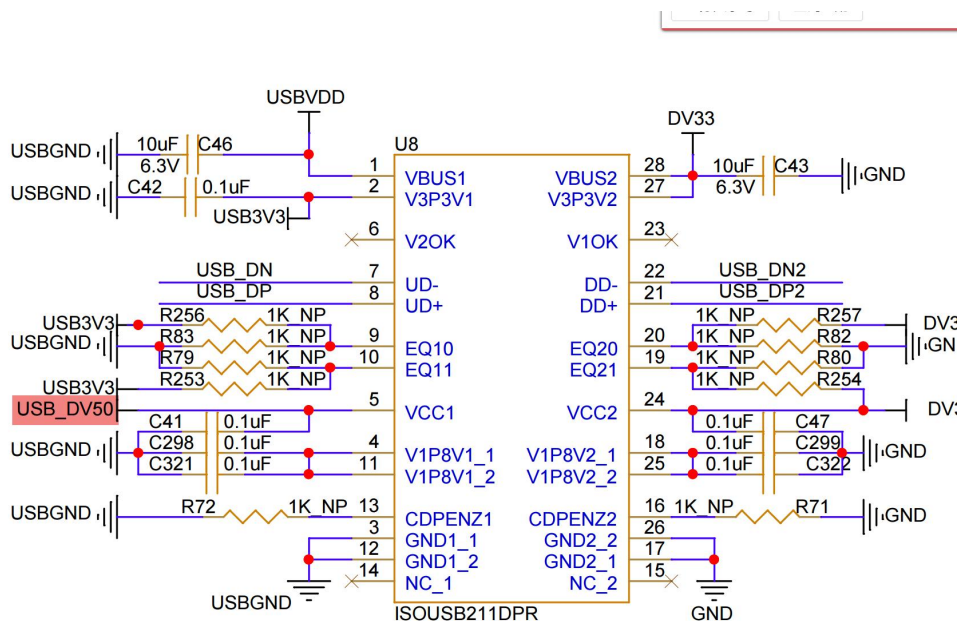


图 4-1 USB 隔离接口（复制自系统设计与调试文档）

USB 2.0 由 PS/USB 控制器与板级隔离/收发电路实现，PL 不直接处理 USB PHY 协议。PL 侧的职责是通过 DMA 将帧写入 PS 内存，并提供 LED_USB 等状态输出。系统调试记录指出 USB 隔离器

VCC1 必须有正确电源输入，板级装配和上电检查应纳入接口验证。

5.4 PS-PL 通信与地址映射

功能	PS 地址范围	PL 端模块/接口
EEG_CONFIG	0x4200_0000~0x4200_1FFF	eeg_config / BRAM_CTRL_1
EMG_CONFIG	0x4400_0000~0x4400_1FFF	emg_config / BRAM_CTRL_2
EEG_UPLOAD_CONFIG	0x4800_0000~0x4800_1FFF	upload_config / BRAM_CTRL_4
EMG_UPLOAD_CONFIG	0x4A00_0000~0x4A00_1FFF	upload_config / BRAM_CTRL_5
CUR_CONFIG	0x4C00_0000~0x4C00_1FFF	cur_mon_config / BRAM_CTRL_6
GLOBAL/STIM_CONFIG	0x4E00_0000~0x4E00_1FFF	stim_config / BRAM_CTRL_7
透明数据 DMA	0x4042_0000~0x4042_FFFF	axi_dma_2

中断由顶层连接到 PS int0~int3: stim_int、eeg_int、emg_int、accel_int。数据 DMA 使用 AXI4-Stream 握手；只有 TVALID 与 TREADY 同时为 1 时数据传输，TLAST 标记一帧结束。

5.5 模块寄存器说明

本节寄存器定义复制自《【SpinalStim】系统软件设计与调试》，并与当前 RTL 中 stim_config、eeg_config、upload_config、cur_mon_config 的地址常量核对。表内保留源文档的方向、位宽、地址和备注。

表 4-1 EEG 数据采集寄存器

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
1	test_ro	32 /	RO	13'h0	32'h12345678，常数，只读，PS 端验证读寄存器是否正常	
2	test_data /	32	WR	13'h4 /	测试读写寄存器是否正常	
3	eeg_er	32	W	13'h40	PS 端配置 ADS1299 采集命令等，主要配置接收使能	/
4	eeg_cr	32	W	13'h44 /	PS 端配置 ADS1299 采集命令等，主要配置接收 cs 和接收长度	[1:0]、[5:4]、[9:8]、[13:12]、[17:16]为 send_cs_n，[3:2]、[7:6]、[11:10]、[15:14]、[19:18]为 send_length，send_length 设置为 3，表示下发 3 个字节的配置数据
5	eeg_sr	32	RO	13'h48	PS 端读取数据，外部未接信号，这个寄存器其实是弃用	

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
					寄存器	
5	eeg_tr	128	W	13'h100 /	PS 端配置 ADS1299 采集命令等，主要配置初始化数据、采样率等	
6	eeg_rr	128	RO	13'h200	PS 端读取 ADS1299 配置返回的数据	和采集的数据需要区分

表 4-2 EEG 数据上传寄存器

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
1	test_ro	32	RO	13'h0	32'h12340004，常数，只读，PS 端验证读寄存器是否正常	
2	test_data	32	WR	13'h4	测试读写寄存器是否正常	
3	bram_addr_sel /	2	W	13'h10 /	[0]:eeg_sel，选择 eeg 上传数据与否则 / [1]:protocol_sel：选择 protocol 数据与否则	
4	upload_round_qty_set	32	W	13'h14	上传到 PS 端多少个包组成一帧 /	例如 20 个包组成一帧，帧结尾是 tlast，每个小包根据配置的通道数量对应多少个数据
5	pre_message_length /	8	W	13'h18 /	帧头有多少个数据 /	
6	reset_package_id	1 /	W	13'h1c /	复位包 id 计数，1：复位，0：维持	
7	package_overtime_ms	32	W	13'h20 /	设置包计数超时时间 /	
8	pre_message	192 /	W	13'h100	设置帧头，192bit，从 100 地址开始设置	
9	ch_mapping2pc	512	W	13'h200	设置通道映射，即和软件端显示的通道需要对应配置	

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
10	upload_ch	64	W	13'h300 /	上传通道选择，PL 先采集所有通道数据，然后根据 PS 端配置哪些通道需要上传数据，将对应通道数据上传	

表 4-3 EMG 数据采集寄存器

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
1	test_ro	32 /	RO	13'h0	32'h12345678，常数，只读，PS 端验证读寄存器是否正常	
2	test_data	32	WR	13'h4 /	测试读写寄存器是否正常	
3	eeg_er	32	W	13'h40	PS 端配置 ADS1299 采集命令等，主要配置接收使能	/
4	eeg_cr	32	W	13'h44 /	PS 端配置 ADS1299 采集命令等，主要配置接收 cs 和接收长度	现在：以前：[1:0]、[6:5]、[11:10]、[16:15]、[21:20]为 send_cs_n，[4:2]、[9:7]、[14:12]、[19:17]、[24:22]为 send_length，send_length 设置为 4，表示下发 4 个字节的配置数据 / 以前：[1:0]、[5:4]、[9:8]、[13:12]、[17:16] 为 send_cs_n，[3:2]、[7:6]、[11:10]、[15:14]、[19:18]为 send_length，send_length 设置为 3，表示下发 3 个字节的配置数据
5	eeg_sr	32	RO	13'h48 /	PS 端读取数据，外	

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
					部未接信号, 这个寄存器其实是弃用寄存器	
5	eeg_tr	128	W	13'h100 /	PS 端配置 ADS1299 采集命令等, 主要配置初始化数据、采样率等	/
6	eeg_rr	128	RO	13'h200	PS 端读取 ADS1299 配置返回的数据	和采集的数据需要区分

表 4-4 EMG 数据上传寄存器

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
1	test_ro	32	RO	13'h0	32'h12340004, 常数, 只读, PS 端验证读寄存器是否正常	
2	test_data	32	WR	13'h4	测试读写寄存器是否正常	
3	bram_addr_sel	2	W	13'h10 /	[0]:eeg_sel, 选择 eeg 上传数据与否 / [1]:protocol_sel: 选择 protocol 数据与否	
4	upload_round_qty_set	32	W	13'h14	上传到 PS 端多少个包组成一帧 /	例如 20 个包组成一帧, 帧结尾是 tlast, 每个小包根据配置的通道数量对应多少个数据
5	pre_message_length /	8	W	13'h18 /	帧头有多少个数据 /	
6	reset_package_id	1	W	13'h1c /	复位包 id 计数, 1: 复位, 0: 维持	
7	package_overtime_ms	32	W	13'h20 /	设置包计数超时时间 /	
8	pre_message	192 /	W	13'h100	设置帧头, 192bit, 从 100 地址开始设置	
9	ch_mapping2pc	512	W	13'h200	设置通道映射, 即	

No	寄存器名称 /	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注 /
					和软件端显示的通道需要对应配置	
10	upload_ch	64	W /	13'h300 /	上传通道选择, PL 先采集所有通道数据, 然后根据 PS 端配置哪些通道需要上传数据, 将对应通道数据上传	

表 4-5 电流配置与状态寄存器

No	寄存器名称	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注
1	test_ro	32	RO	13'h0	32'h22222222, 常数, 只读, PS 端验证读寄存器是否正常	
2	test_data	32	WR	13'h4	测试读写寄存器是否正	
3	cnv_en /	1	W	13'h8 /	[0]:FPGA 停止控制 AD7689 / [1]:FPGA 开始控制 AD7689	
4	clear_int	1	W	13'hc	清除寄存器, 将 cur_monitor 模块中的电流处理相关数清除	
5	cfg_reg /	14	W	13'h10	AD7689 中的写入寄存器的数值, 未用	
6	cnv_period_us	32	W	13'h14	AD7689 采样率配置, 未用	复位值: 32'd1000
7	flt_ch	16	RO	13'h18	电流处理后的对应通道有效	
8	thr_total_cur	32	W	13'h20	整体电流阈值控制	复位值: 0
9	thr_pos_cur	32	W	13'h24	正电流阈值控制	复位值: 0
10	thr_neg_cur	32	W	13'h28	负电流阈值控制	
11	flt_state	32 /	RO	13'h30 /	电流状态寄存器 / flt_state = {28'd0, flt_bits}; / flt_bits = {cur_flt_neg,	

No	寄存器名称	位数	方向	地址 (eeg_bram 地址)	寄存器含义	备注
					cur_flt_pos, cur_flt_total, cur_flt_ch}; / 即负 电流超过阈值指示、正电流超过阈 值指示、总体电流 超过阈值指示、通 道号指示回读	
12	flt_total_cur	32	RO	13'h34	整体电流回读	
13	flt_pos_cur	32	RO	13'h38	正电流回读	
14	flt_neg_cur	32	RO	13'h3C	负电流回读	
15	ch_map	8	W	13'h400~13'h440	通道映射配置	总共 16 个 8bit 数据
16	cur_thr	16	W	13'h800~13'h840	每个通道电流阈值 控制	总共 16 个 16bit 数 据
17	cur_rt	16	RO	13'hC00~13'hC40	每个通道电流值回 读	总共 16 个 16bit 数 据
18	cur_fault	16	RO	13'h1000~13'h104 0	通道对应的电流值 回读	总共 16 个 16bit 数 据

表 4-6 EEG/EMG 合并上传配置寄存器

No	寄存器名称	位数	方向	地址 (stim_bram 地址)	寄存器含义	备注
1	eeg_emg_sel /	2	W	13'h30	eeg 和 emg 选择使 能, [1]:emg 选择使 能, [0]:eeg 选择使 能 / eeg_emg_sel[1:0]= 2'b11,emg 和 eeg 都 有 / eeg_emg_sel[1:0]= 2'b10, 只有 emg / eeg_emg_sel[1:0]= 2'b01, 只有 eeg / eeg_emg_sel[1:0]= 2'b00,两者都没	
2	eeg_send_package_ num	16	W	13'h34	eeg 需要上传的字 节数, 如一帧里面 有 4011 个字节, 则 需要发 10 进制 4011, 或者 16 进制	

No	寄存器名称	位数	方向	地址 (stim_bram 地址)	寄存器含义	备注
					16'hfab	
3	emg_send_package_num	16	W	13'h38 /	emg 需要上传的字节数，如一帧里面有 4011 个字节，则需要发 10 进制 4011，或者 16 进制 16'hfab	
4	diff_pkt_data_sel	1	W	13'h3C /	选择是上传差分打包数据还是 8 通道原始数据 / 0: 默认差分打包数据 / 1: 选择差分 8 通道原始数据	如果配置成 1，则差分打包数据不上传，相当于 eeg_emg_sel 中没有 emg 的数据

表 4-7 AXI SPI/GPIO 地址映射

No	PS 端名称	位数	地址范围	含义	备注
1	CHANN_EN /	4	0x4121_0000~0x4121_FFFF	控制 4 个 8 通道选择器通断，每个 bit1 个，和 CHANN_SEL[3:0]配合	GPIO,非 GPIO2
2	CHANN_SEL	4	0x4122_0000~0x4122_FFFF	控制 4 个 8 通道选择器通断，4bit 对应 8 个通道，和 CHANN_EN[3:0]配合	GPIO,非 GPIO2
3	RST_AD5941	1	0x4123_0000~0x4123_FFFF	AD5941 复位控制 GPIO	GPIO,非 GPIO2
4	Z_IO	1	0x4124_0000~0x4124_FFFF	输入到 AD5941	GPIO,非 GPIO2
5	ZCHECK_SPI	4	0x41E2_0000~0x41E2_FFFF	控制 AD5941	SPI
6	ELEC_MUX_IN	4	0x4126_0000~0x4126_FFFF	控制 ADG1212，主要控制 ELEC_BIAS、ELEC_REF、ZCHK_IN 等的选择	GPIO，非 GPIO2
7	STIM_SPI	4	0x41E0_0000~0x41E0_FFFF	PS 端控制 CSIO40 的 SPI 端口	SPI
8	CUR_SPI	4	0x41E1_0000~0x41E1_FFFF	PS 端控制 AD7689 的 SPI 端口	SPI
9	gpio_0 /	8 /	0x4120_0000~0x4120_FFFF /	gpio0[7]: mux_pwr_en, 新增模拟开关电源控制引脚，启用采集功能	配置 led_wifi 等，GPIO2,非 GPIO /

No	PS 端名称	位数	地址范围	含义	备注
				前 打 开 / gpio0[6] : stim_pwr_en(STIM_P WR_EN) / gpio0[5] : led_usb / gpio0[4] : led_stim, 刺激灯状态 指 示 / gpio0[3] : led_state, 灯状态指示 / gpio0[2]: rec_pwr_en / gpio0[1] : pudc / gpio0[0]: led_rsv	
10	GPIO	3	0x4125_0000~0x4125_ FFFF /	gpio[2] : rstn_stim / gpio[1] : stim_trig / gpio[0]: stim_int	配置刺激芯片 GPIO, 顺序也可以由 PS 端自 己定义

表 4-8 EEG/EMG 组合包字节计算

No.	EEG 、 EMG 组 合 / eeg_emg_sel / [1:0]	包数计算 /	参数含义	举例
1	2'b11,emg 和 eeg 都有 /	$99 + (mx3+4) \times n + (cx3+4) \times n$	m:EEG 通道数, / n:EEG 或 者 EMG 包数 / c:EMG 通道 数	以 EEG 通道数 64、EMG 通 道数为 8, 20 个包计算, 总 包数: $99 + (64 \times 3 + 4) \times 20 +$ $(8 \times 3 + 4) \times 20 = 4579$ 字节
2	2'b01,只有 eeg /	$99 + (mx3+4) \times n$	m:EEG 通道数, / n:EEG 或 者 EMG 包数 / c:EMG 通道 数	以 EEG 通道数 64, 20 个包 计算, 总包数: $99 + (64 \times 3 + 4) \times$ $20 = 4019$ 字节
3	2'b10,只有 emg /	$99 + (cx3+4) \times n$	m:EEG 通道数, / n:EEG 或 者 EMG 包数 / c:EMG 通道 数	以 EMG 通道数为 8, 20 个 包 计 算 , 总 包 数 : $99 +$ $(8 \times 3 + 4) \times 20 = 659$ 字节
4	2'b00,两者都没	0	m:EEG 通道数, / n:EEG 或 者 EMG 包数 / c:EMG 通道 数	0

5.5.1 包长度与带宽约束

A64 包字节计算:

EEG 和 EMG 都有:

EEG 数据量: 以 20 个包为一帧计算, 包头 85 个字节, 中间数据为 196 字节(64 通道 $x3+4$ 字节 trigger) $\times 20$, 包尾为 2 字节 crc+12 字节 upload_bytes。20 个包 EEG 数据量为 4019 个字节。因此 m 个通道, n 个包, EEG 字节数量为 $85 + (mx3+4) \times n + 14 = 99 + (mx3+4) \times n$ 。

EMG 数据量: 如果 EEG 也存在的话, EMG 会去掉包头、包尾, 只剩下数据。EMG 字节数为 4 字

节 trigger+8 通道 x3 字节=28 个字节。28x20 个包=560 个字节。因此 c 个通道，n 个包，EMG 字节数量为 (cx3+4) xn

只有 EEG 时：99+ (mx3+4) xn。

只有 EMG 时：99+ (cx3+4) xn。

EEG 和 EMG 都没有时：0

A64 包字节计算汇总：

SpinalStim 系统软件设计与调试配置寄存器中 eeg_send_package_num[15:0] 和 emg_send_package_num[15:0]根据 eeg_emg_sel[1:0]配置，和上面表格对应,eeg_send_package_num[15:0]配置为 99+ (mx3+4) xn， emg_send_package_num[15:0]配置为 99+ (cx3+4) xn。

如果速率是 v (如速率是 16k)，则每包之间间隔是 1000/v (us)，emg 每个包占用时间是 290ns (28 个数据 (8 通道 x3 个字节+4 个 trigger) x10ns+10ns 无效时间)，如果一次 emg 和 eeg 合并 n 个包 (比如 160 个包或者 320 个包)，则 emg 合并到 eeg 包尾占用时间是 290nsxn/1000(us)=0.29n，如果 0.29n>1000/v，则 emg 合并到 eeg 包尾占用时间比 eeg 每个包之间的间隔时间还要长，因此不能正确传输，只有 0.29n<1000/v-5 才可以 (n 是包数，v 是速率)，5us 是安全冗余。

6 模块的测试

6.1 RTL 仿真与检查

- 工程包含 eeg_top、ads1299_spi、cur_mon_top、ad7689_dual_if、channel_switch、trigger_top、RHS2116 transmit/arrange 等 testbench。
- 寄存器测试应覆盖测试常数、读写回环、非法地址、字节写使能、复位默认值和连续访问。
- 采集接口测试应覆盖 DRDY 临界时刻、SPI 配置/采样切换、TREADY 背压、停止采样和复位中断。
- 合帧测试应覆盖 eeg_emg_sel 四种组合、不同包长、FIFO 空/满、CRC 重算和 TLAST 唯一性。
- 电流监测测试应注入单通道、正向、负向和总电流越限，验证锁存、回读和 clear_int。

6.2 板级联调

板级验证按电源→时钟/复位→SPI 读写→ADC 数据就绪→DMA 帧→刺激/阻抗的顺序执行。使用 ILA 观察 DRDY、SPI、AXI TVALID/TREADY/TLAST、FIFO 状态和中断。原理图接口测试需同时核对电平域、隔离器供电、模拟电源和参考/偏置连接。

7 其他主要设计问题

- 当前顶层存在若干已注释功能端口 (RHS2116、ADG1414、LIS2DW12、触发等)，文档将其标为工程保留功能；发布 bitstream 前应以综合后的顶层端口和 Block Design 为准。
- 部分 RTL 中文注释存在编码损坏，不影响综合但降低维护性；建议统一为 UTF-8 并通过代码审查修复。
- 顶层若使用 inout 连接 PS AXI SPI 与 PL 控制器，必须有明确的三态/主控互斥策略。
- eeg_emg_upload 中存在固定 85 字节帧头、14 字节尾部等协议常数，软件配置与协议版本必须同步。
- 寄存器源文档中个别地址书写大小写/前缀不一致 (如 x4400_0000)，本文地址总表已规范为 0x4400_0000，寄存器偏移仍保留源表。

8 附录 A 代码文件与模块映射

目录	主要文件	设计职责
rtl/	c64pro_top.v, stim_config.v, led_ctrl.v	顶层、全局配置与状态控制
rtl/eeg	eeg_top.v, eeg_config.v, ads1299_*.v,	EEG 采集与整理

目录	主要文件	设计职责
	eeg_upload.v	
rtl/emg	emg_top.v, emg_config.v	差分/EMG 采集
rtl/upload	upload_top.v, upload_config.v, upload_sort.v, upload_protocol_*.v, eeg_emg_upload.v	通道选择、协议封包与合帧
rtl/current_monitor	cur_mon_top.v, cur_mon_config.v, ad7689_*.v, cur_monitor.v	电流采样、处理与保护
rtl/rhs2116	rhs2116_top.v, transmit_*.v, stim_*.v, sine_gen.v	刺激配置、波形、传输与监控
rtl/switch	channel_switch.v, adg1414_if.v	刺激/电极通道开关
rtl/trigger	trigger_top.v, trigger_detection.v	外部触发采集与编码
rtl/accel	accel_top.v, accel_config.v, lis2dw12.v	加速度计配置与采集
rtl/utlis	spi_full_duplex_master.v, pwm_gen.v, breath_gen.v, debouncing.v	通用 SPI、PWM、LED 与消抖

9 附录 B 参考资料

- 《DTCD PRO-S FPGA 详细设计》：章节结构与版式模板。
- 《【SpinalStim】系统软件设计与调试》：系统框图、总体原理、寄存器与包长度说明。
- 《SPINAL_STIM_REC_V001A8》：板级接口、器件连接、电源域与网络名称。
- 工程 spinal_stim_v2：c64pro_top 及各 RTL 子目录的当前实现。
- 器件接口依据：ADS1299/AFE968、AD7689、AD5941、CSI040、LIS2DW12、ADG1212、MUX36S16、NSI824x 对应数据手册。具体电气极限和最小时序以量产采用的器件版本数据手册为准。

10 子模块详细设计补充

本节按 DTCD PRO-S FPGA 详细设计模板的子模块格式补充说明。每个模块均包含（1）流程图；（2）处理说明；（3）数据流；（4）时钟说明；（5）接口信号。图中方框表示 RTL 状态或处理单元，箭头表示有效数据/控制方向；状态说明与代码中的状态机、计数器和 FIFO 条件对应。

10.1 eeg_top（EEG 采集顶层）

10.1.1 流程图

eeg_top 状态/处理流程图

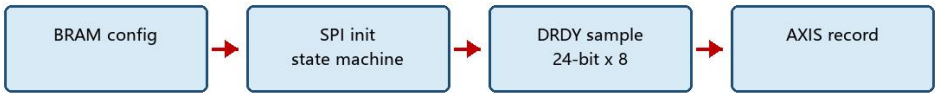


图 1-1 eeg_top（EEG 采集顶层）流程图

状态说明：IDLE 等待配置或输入有效；CONFIG 完成寄存器/器件初始化；RUN 在有效握手或 DRDY 条件下处理数据；END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.1.2 处理说明

eeg_top 时序处理图

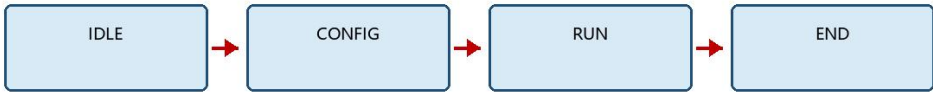


图 1-2 eeg_top（EEG 采集顶层）处理状态转换图

处理流程：eeg_config、ads1299_spi、ads1299_if、ads1299_mod、ads1299_arrange、eeg_upload。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.1.3 数据流

eeg_top 数据流图

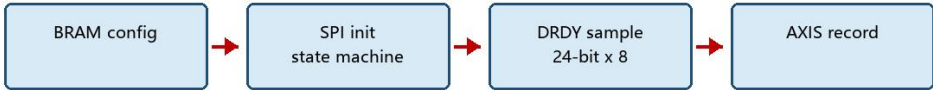


图 1-3 eeg_top（EEG 采集顶层）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，

TLAST 只在包/帧最后一个字节有效。

10.1.4 时钟说明

clk=100 MHz; SPI 时钟由 SPI_CLK_DIV=3 分频; BRAM 配置在 clk 域采样; AXI record 在 clk 域输出。

10.1.5 接口信号

信号	方向	功能说明
bram_addr/din/en/we	I	BRAM_CTRL_1 配置读写
drdy[1:0]	I	ADS1299 数据就绪
cs/sclk/mosi	O	两组采集 SPI
miso[1:0]	I	SPI 返回数据
axis_record_tdata/valid/last	O	24 bit 通道数据流

10.1.5.1 下一级子模块

本模块下一级 RTL 子模块为: eeg_config、ads1299_spi、ads1299_if、ads1299_mod、ads1299_arrange、eeg_upload。下一级模块均在同一时钟域内以同步时序逻辑实现, 接口由上一级统一提供复位和使能; 其中 SPI/ADC 接口模块负责器件边沿约束, FIFO/封包模块负责数据域隔离。

10.2 emg_top (EMG 采集顶层)

10.2.1 流程图

emg_top 状态/处理流程图



图 2-1 emg_top (EMG 采集顶层) 流程图

状态说明: IDLE 等待配置或输入有效; CONFIG 完成寄存器/器件初始化; RUN 在有效握手或 DRDY 条件下处理数据; END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.2.2 处理说明

emg_top 时序处理图

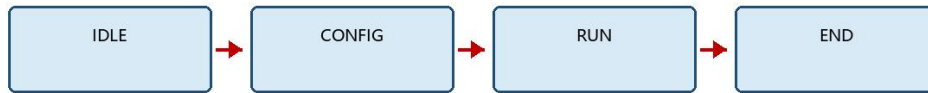


图 2-2 emg_top（EMG 采集顶层）处理状态转换图

处理流程：emg_config、ads1299_spi、ads1299_if、ads1299_mod、eeg_upload。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.2.3 数据流

emg_top 数据流图

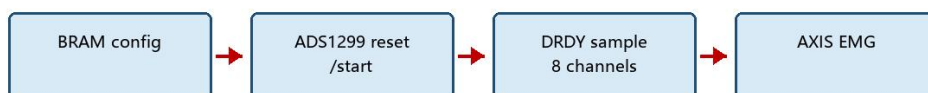


图 2-3 emg_top（EMG 采集顶层）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.2.4 时钟说明

clk=100 MHz；SPI 配置事务与采样事务共享状态机；RESET#、START 在配置阶段产生。

10.2.5 接口信号

信号	方向	功能说明
bram_addr/din/en/we	I	BRAM_CTRL_2 配置读写
drdy_n	I	差分前端就绪
reset_n/start	O	前端复位和转换启动
cs/sclk/mosi/miso	I/O	ADS1299 SPI
axis_record_tdata/valid/last	O	EMG 数据流

10.2.5.1 下一级子模块

本模块下一级 RTL 子模块为：emg_config、ads1299_spi、ads1299_if、ads1299_mod、eeg_upload。
下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。

10.3 upload_top（上传封包）

10.3.1 流程图

upload_top 状态/处理流程图

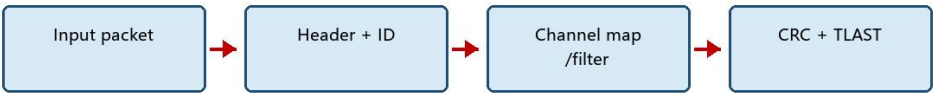


图 3-1 upload_top（上传封包）流程图

状态说明：IDLE 等待配置或输入有效；CONFIG 完成寄存器/器件初始化；RUN 在有效握手或 DRDY 条件下处理数据；END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.3.2 处理说明

upload_top 时序处理图

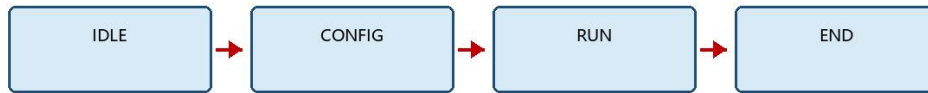


图 3-2 upload_top（上传封包）处理状态转换图

处理流程：upload_config、upload_sort、upload_protocol_q1、upload_protocol_intan。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.3.3 数据流

upload_top 数据流图

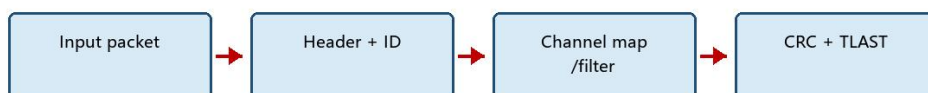


图 3-3 upload_top（上传封包）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.3.4 时钟说明

clk=100 MHz；输入与输出均采用 AXI4-Stream 握手；超时计数以 CLK_FREQ 参数换算。

10.3.5 接口信号

信号	方向	功能说明
record_tdata/valid/last	I	采集小包
pre_message/ch_mapping2pc	I	帧头和通道映射
upload_ch	I	通道选择位图
upload_tdata/valid/last	O	封装后字节流
interrupt	O	上传事件

10.3.5.1 下一级子模块

本模块下一级 RTL 子模块为: upload_config、upload_sort、upload_protocol_q1、upload_protocol_intan。下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。

10.4 eeg_emg_upload (EEG/EMG 合帧)

10.4.1 流程图

eeg_emg_upload 状态/处理流程图

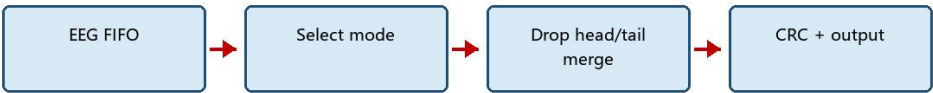


图 4-1 eeg_emg_upload (EEG/EMG 合帧) 流程图

状态说明：IDLE 等待配置或输入有效；CONFIG 完成寄存器/器件初始化；RUN 在有效握手或 DRDY 条件下处理数据；END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.4.2 处理说明

eeg_emg_upload 时序处理图

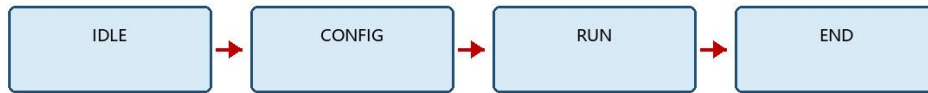


图 4-2 eeg_emg_upload (EEG/EMG 合帧) 处理状态转换图

处理流程：EEG FIFO、EMG FIFO、CRC16、选择状态机。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.4.3 数据流

eeg_emg_upload 数据流图

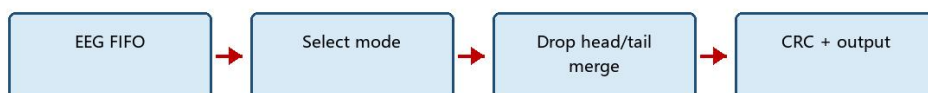


图 4-3 eeg_emg_upload (EEG/EMG 合帧) 数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.4.4 时钟说明

clk=100 MHz； EEG/EMG 输入为 8 bit 流； stop_sample 异步于数据功能但在 clk 域清零状态。

10.4.5 接口信号

信号	方向	功能说明
m_axis_eeg_tdata/valid/last	I	EEG 帧
m_axis_emg_tdata/valid/last	I	EMG 帧
eeg_emg_sel	I	四种组合模式
*_send_package_num	I	输出字节数
eeg_emg_tdata/valid/last	O	合帧输出

10.4.5.1 下一级子模块

本模块下一级 RTL 子模块为： EEG FIFO、 EMG FIFO、 CRC16、 选择状态机。下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。

10.5 cur_mon_top（电流监测顶层）

10.5.1 流程图

cur_mon_top 状态/处理流程图

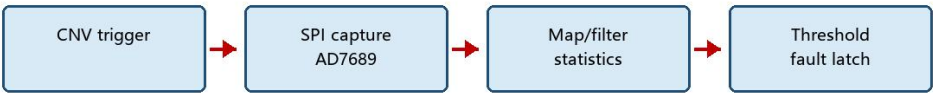


图 5-1 cur_mon_top（电流监测顶层）流程图

状态说明： IDLE 等待配置或输入有效； CONFIG 完成寄存器/器件初始化； RUN 在有效握手或 DRDY 条件下处理数据； END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.5.2 处理说明

cur_mon_top 时序处理图

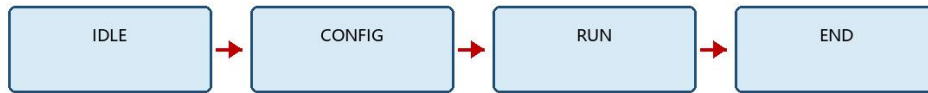


图 5-2 cur_mon_top（电流监测顶层）处理状态转换图

处理流程：cur_mon_config、ad7689_dual_ctrl、ad7689_dual_if、acq_collect、cur_monitor。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.5.3 数据流

cur_mon_top 数据流图

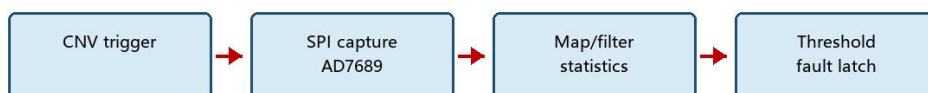


图 5-3 cur_mon_top（电流监测顶层）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.5.4 时钟说明

clk=100 MHz；CNV/SCK 由计数器产生；采样结果经过 FIFO 后进入滤波和阈值比较。

10.5.5 接口信号

信号	方向	功能说明
cnv_en/clear_int	I	采样使能和清除故障
cnv/sck/mosi	O	AD7689 控制
miso	I	AD7689 结果
flt_state/cur_rt	O	故障与实时值
axi_i_out/wr/last	O	透明 DMA 流

10.5.5.1 下一级子模块

本模块下一级 RTL 子模块为：cur_mon_config、ad7689_dual_ctrl、ad7689_dual_if、acq_collect、cur_monitor。下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。

10.6 rhs2116_top（刺激控制）

10.6.1 流程图

rhs2116_top 状态/处理流程图

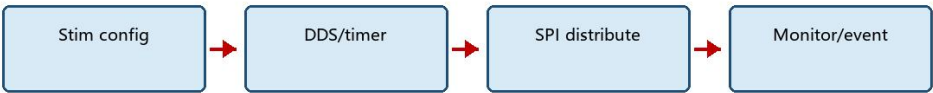


图 6-1 rhs2116_top（刺激控制）流程图

状态说明：IDLE 等待配置或输入有效；CONFIG 完成寄存器/器件初始化；RUN 在有效握手或 DRDY 条件下处理数据；END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.6.2 处理说明

rhs2116_top 时序处理图

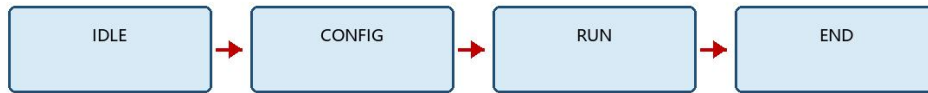


图 6-2 rhs2116_top（刺激控制）处理状态转换图

处理流程：transmit_config、trans_timer、sine_gen、trans_distribute、transmit_if、stim_monitor、stim_event_collect。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.6.3 数据流

rhs2116_top 数据流图

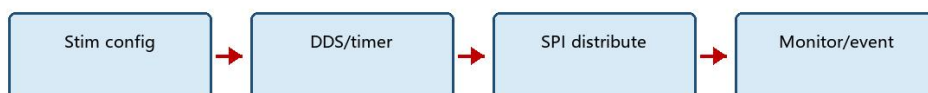


图 6-3 rhs2116_top（刺激控制）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.6.4 时钟说明

clk=100 MHz; SPI_TRANS_PERIOD=1500 ns; DDS 相位累加和定时器均在 clk 域执行。

10.6.5 接口信号

信号	方向	功能说明
stim BRAM	I	波形/通道/寄存器配置
axi_str_txd	I	刺激命令流
stim_en/cs/sclk/mosi	O	RHS2116 SPI
miso	I	器件回读
stim_event/axi_str_rxd	O	事件和监控流

10.6.5.1 下一级子模块

本模块下一级 RTL 子模块为：transmit_config、trans_timer、sine_gen、trans_distribute、transmit_if、stim_monitor、stim_event_collect。下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。

10.7 channel_switch（通道开关）

10.7.1 流程图

channel_switch 状态/处理流程图

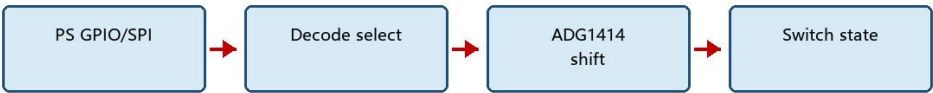


图 7-1 channel_switch（通道开关）流程图

状态说明：IDLE 等待配置或输入有效；CONFIG 完成寄存器/器件初始化；RUN 在有效握手或 DRDY 条件下处理数据；END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.7.2 处理说明

channel_switch 时序处理图

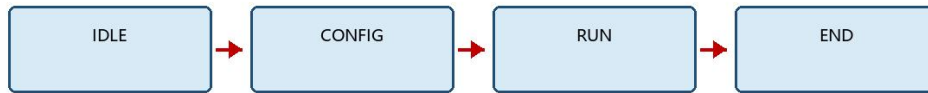


图 7-2 channel_switch（通道开关）处理状态转换图

处理流程：channel_switch、adg1414_if、spi_full_duplex_master。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.7.3 数据流

channel_switch 数据流图

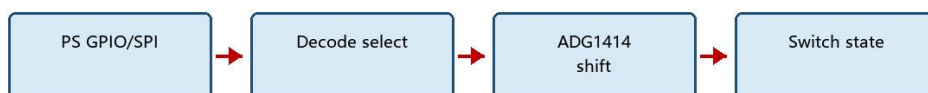


图 7-3 channel_switch（通道开关）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.7.4 时钟说明

clk=100 MHz；PS 的通道选择先同步，再串行移位到模拟开关；更新完成后锁存输出。

10.7.5 接口信号

信号	方向	功能说明
ch_sel/ch_en	I	通道选择
spi_sync/sclk/mosi	O	ADG1414/ADGS5414 接口
miso	I	可选回读
sw_state	O	当前开关状态

10.7.5.1 下一级子模块

本模块下一级 RTL 子模块为：channel_switch、adg1414_if、spi_full_duplex_master。下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。

10.8 trigger_top（触发检测）

10.8.1 流程图

trigger_top 状态/处理流程图



图 8-1 trigger_top（触发检测）流程图

状态说明：IDLE 等待配置或输入有效；CONFIG 完成寄存器/器件初始化；RUN 在有效握手或 DRDY 条件下处理数据；END 输出 TLAST、锁存状态并返回 IDLE。出现 stop_sample、复位或错误条件时优先回到 IDLE 并清空本模块计数器/FIFO。

10.8.2 处理说明

trigger_top 时序处理图

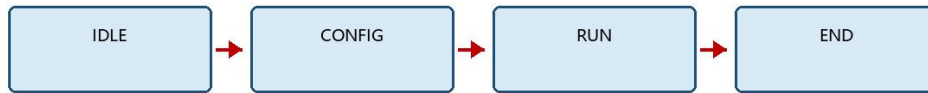


图 8-2 trigger_top（触发检测）处理状态转换图

处理流程：trigger_detection、trigger_top。首先由配置寄存器装载工作参数；随后等待输入有效（采集模块为 DRDY，上传模块为 TVALID，刺激模块为命令 FIFO，开关模块为选择更新）；处理单元按计数器推进，在边界条件产生有效/结束标志；最后将结果送往下一级 FIFO、AXI 流或状态寄存器。

10.8.3 数据流

trigger_top 数据流图

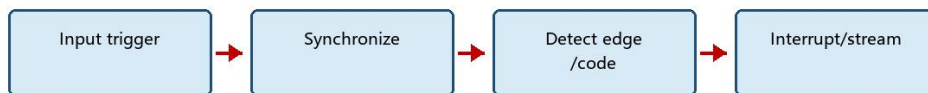


图 8-3 trigger_top（触发检测）数据流图

数据流说明：配置面从 PS BRAM/GPIO/SPI 进入；数据面由外部器件或上一级 AXI-Stream 进入，经本模块寄存器、状态机、FIFO 和校验逻辑处理后输出。跨模块边界使用 valid/ready 或显式 FIFO，TLAST 只在包/帧最后一个字节有效。

10.8.4 时钟说明

clk=100 MHz；输入触发先经过同步器，再由边沿/码型检测状态机处理。

10.8.5 接口信号

信号	方向	功能说明
trigger_i	I	外部触发输入
rst	I	触发逻辑复位
event_code	O	触发事件编码
interrupt	O	触发中断
axis_trigger	O	触发数据流

10.8.5.1 下一级子模块

本模块下一级 RTL 子模块为：trigger_detection、trigger_top。下一级模块均在同一时钟域内以同步时序逻辑实现，接口由上一级统一提供复位和使能；其中 SPI/ADC 接口模块负责器件边沿约束，FIFO/封包模块负责数据域隔离。